

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Yasushi KATAYAMA

Serial No.: NEW APPLICATION

Group Art Unit:

Filed: September 9, 2003

Examiner:

For: POWER SUPPLY SYSTEM AND METHOD THEREOF

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

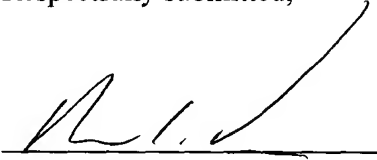
The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. § 119 is hereby claimed:

JAPAN 2002-267988 September 13, 2002

In support of this claim, a certified copy of said original foreign application is filed herewith. It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

09/09/03
Date


Marc A. Rossi

Registration No. 31,923

Attorney Docket: FUJI:268

ROSSI & ASSOCIATES
P.O. Box 826
Ashburn, VA 20146-0826

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月13日

出 願 番 号

Application Number:

特願2002-267988

[ST.10/C]:

[JP2002-267988]

出 願 人

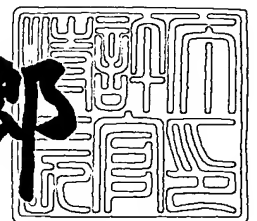
Applicant(s):

富士電機株式会社

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3032964

【書類名】 特許願

【整理番号】 02P01233

【提出日】 平成14年 9月13日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/139

【発明者】

【住所又は居所】 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内

【氏名】 片山 靖

【特許出願人】

【識別番号】 000005234

【氏名又は名称】 富士電機株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9607796

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源システム

【特許請求の範囲】

【請求項 1】 電源装置を切替えて負荷に電圧を出力する電源システムにおいて、

入力電圧を負荷に接続する第 1 のスイッチ素子と、前記負荷をグランドに接続する第 2 のスイッチ素子と、第 1 の選択信号が入力されたとき、前記第 2 のスイッチ素子のオン期間が増加するように、前記第 1 のスイッチ素子及び前記第 2 のスイッチ素子を交互にオン・オフする制御回路と、を有する DC-DC コンバータと、

第 2 の選択信号が入力されたとき、前記入力電圧を降圧し前記負荷に出力するシリーズレギュレータと、

を有することを特徴とする電源システム。

【請求項 2】 前記制御回路は、パルス幅が増加していくステップ信号が入力され、前記ステップ信号に基づいて、前記第 2 のスイッチ素子のオン期間を増加するようにすることを特徴とする請求項 1 記載の電源システム。

【請求項 3】 前記パルス幅は、一定周期ごとに所定の幅ずつ増加することを特徴とする請求項 2 記載の電源システム。

【請求項 4】 前記第 1 の選択信号及び前記第 2 の選択信号は、前記負荷の軽重に応じて前記 DC-DC コンバータ及びシリーズレギュレータに出力されることを特長とする請求項 1 記載の電源システム。

【請求項 5】 前記第 1 の選択信号及び前記第 2 の選択信号は、互いに反転信号であり、同時に入力されないことを特徴とする請求項 1 記載の電源システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電源システムに関し、特に DC-DC コンバータとシリーズレギュレータとを切替えて負荷に電圧を出力する電源システムに関する。

【 0 0 0 2 】

【従来の技術】

電子機器に搭載される電源装置には、電子機器外部から供給される電源電圧を、内部の電子回路に適合する電圧に降圧するものがあり、出力段に接続される負荷によって、電力効率が変化するものと変化しないものがある。

【 0 0 0 3 】

例えば、PWM制御によって電圧を降下するDC-DCコンバータは、接続される負荷が軽負荷であるほど電力効率が低く、重負荷であるほど電力効率が高い。これは、DC-DCコンバータ内部の半導体スイッチのオン・オフによって発生する駆動損失のためである。一方、シリーズレギュレータは、負荷の軽重に関わらず、電力効率は、一定である。

【 0 0 0 4 】

そこで、出力段に接続される負荷の軽重によって、DC-DCコンバータとシリーズレギュレータを切替える電源システムがある。電源システムに接続される負荷が軽負荷の場合、シリーズレギュレータによって電圧を降下する。電源システムに接続される負荷が重負荷で、DC-DCコンバータの電力効率が、シリーズレギュレータの電力効率を上回るとき、DC-DCコンバータによって電圧を降下する。（例えば、特許文献1、特許文献2参照）

このような電源システムは、例えば、待機モード、通常モードを有する電子機器に搭載される。すなわち、待機モードでは、駆動している電子回路が少ないため、軽負荷であり、シリーズレギュレータで電圧降下をする。通常モードでは、駆動している電子回路が多いため、重負荷であり、DC-DCコンバータで電圧降下をする。

【 0 0 0 5 】

図6は、従来の電源システムの回路図である。

図に示す電源システムは、DC-DCコンバータ40、DC-DCコンバータ40と並列接続されたシリーズレギュレータ50から構成されている。DC-DCコンバータ40とシリーズレギュレータ50の出力には、コンデンサC3、負荷60が接続されている。

【0006】

DC-DCコンバータ40は、イネーブル信号EN1が入力されると動作する。
。シリーズレギュレータ50は、イネーブル信号EN2が入力されると動作する。
。

【0007】

イネーブル信号EN1, EN2は、負荷60の軽重に応じて、DC-DCコンバータ40、シリーズレギュレータ50に出力される。負荷60が軽負荷の場合、イネーブル信号EN2がシリーズレギュレータ50に出力される。負荷60が重負荷になり、DC-DCコンバータ40の電力効率が、シリーズレギュレータ50の電力効率を上回る場合、イネーブル信号EN1がDC-DCコンバータ40に出力される。

【0008】

DC-DCコンバータ40は、PWM制御回路41、ドライバZ3, Z4、トランジスタQ3, Q4、ダイオードD3, D4、インダクタL3から構成されている。

【0009】

DC-DCコンバータ40は、同期整流方式で電圧を降圧するDC-DCコンバータである。同期整流方式とは、従来、整流素子として使用していた（トランジスタQ4の部分に）ダイオードを、オン抵抗の低いトランジスタQ4に置き換え、トランジスタQ3, 4を相補的にオン・オフして、その時比率によって出力電圧を制御する方式である。オン抵抗の低いトランジスタQ4を使用することで導通損失の改善をすることができる。

【0010】

PWM制御回路41は、インダクタL3の一端に生じる電圧がフィードバックされ、この電圧に応じて、パルス幅を変調したスイッチ信号OUT1, OUT2を出力する。

【0011】

ドライバZ3, Z4は、PWM制御回路41から出力されるスイッチ信号OUT1, OUT2がトランジスタQ3, Q4を駆動できるようドライブし、トラン

ジスタQ3, Q4に出力する。

【0012】

トランジスタQ3は、NチャネルMOSトランジスタである。トランジスタQ3は、ゲートに‘H’状態のスイッチ信号OUT1が入力されると、ソースードレイン間をオンし、入力電圧VinをインダクタL3に出力する。トランジスタQ3のソースードレイン間には、ダイオードD3が接続されている。

【0013】

トランジスタQ4は、NチャネルMOSトランジスタである。トランジスタQ4は、ゲートに‘H’状態のスイッチ信号OUT2が入力されると、ソースードレイン間をオンし、インダクタL3をグラウンドに接続する。トランジスタQ4のソースードレイン間には、ダイオードD4が接続されている。

【0014】

図7は、PWM制御回路に入力されるイネーブル信号、及びPWM制御回路から出力される出力信号を示したタイミングチャートである。

図に示すように、イネーブル信号EN1が‘L’状態から‘H’状態になると、PWM制御回路41は、スイッチ信号OUT1, OUT2を出力する。スイッチ信号OUT1, OUT2は、相補的に‘H’状態となるように出力される。また、PWM制御回路41は、トランジスタQ3, Q4のソースードレイン間が同時にオンすることを防止するため、スイッチ信号OUT1, OUT2の‘H’状態に重なり期間が生じないように、デッドタイムtdを設けてスイッチ信号OUT1, OUT2を出力する。DC-DCコンバータ40のオン時比率Dは、出力電流によらず次式で表される

【0015】

【数1】

$$D = V_{in} / V_{out} \quad \dots\dots (1)$$

【0016】

【特許文献1】

特開平11-341797号公報（第1-2頁、第1図）

【特許文献2】

特開 2002-112457 号公報 (第 3-4 項、第 1 図)

【0017】

【発明が解決しようとする課題】

ところで、シリーズレギュレータ 50 から DC-DC コンバータ 40 に動作切替えが行われた直後の初期オン時比率 D_o が、式 (1) のオン時比率 D より小さい場合、初期オン時比率 D_o がオン時比率 D まで遷移する際、PWM 制御回路 41 の制御の時間遅れにより、トランジスタ Q4 のオン時間が過大となる期間が発生する。このため、動作切替え直後に、コンデンサ C3 からインダクタ L3 及びトランジスタ Q4 を介して、電流 (コンデンサ C3 に蓄えられた電荷による) がグラウンドに逆流する。これにより、DC-DC コンバータ 40 による出力電圧 V_{out} は、一時的に大きく低下してしまう。図 8 は、PWM 制御回路から出力される出力電圧、及び PWM 制御回路に入力されるイネーブル信号を示したタイミングチャートである。図に示すように、時間 t_1 において、イネーブル信号 EN_1 を 'L' 状態から 'H' 状態へ、イネーブル信号 EN_2 を 'H' 状態から 'L' 状態へ遷移させたとする。これにより、時間 t_1 において、シリーズレギュレータ 50 から DC-DC コンバータ 40 に動作が切替わる。そして、図示するように、DC-DC コンバータ 40 による出力電圧 V_{out} は、一時的に大きく低下してしまう。

【0018】

すなわち、シリーズレギュレータ 50 から DC-DC コンバータ 40 に動作切替えを行ったとき、トランジスタ Q4 のオン期間が過大となり、トランジスタ Q4 を介して、グラウンドに電流が逆流し、出力電圧 V_{out} が低下してしまうという問題点があった。

【0019】

本発明はこのような点に鑑みてなされたものであり、シリーズレギュレータから DC-DC コンバータへの動作切替え時における出力電圧の低下を抑制する電源システムを提供することを目的とする。

【0020】

【課題を解決するための手段】

本発明では上記課題を解決するために、電源装置を切替えて負荷に電圧を出力する電源システムにおいて、入力電圧を負荷に接続する第1のスイッチ素子と、前記負荷をグランドに接続する第2のスイッチ素子と、第1の選択信号が入力されたとき、前記第2のスイッチ素子のオン期間が増加するように、前記第1のスイッチ素子及び前記第2のスイッチ素子を交互にオン・オフする制御回路と、を有するDC-DCコンバータと、第2の選択信号が入力されたとき、前記入力電圧を降圧し前記負荷に出力するシリーズレギュレータと、を有することを特徴とする電源システムが提供される。

【0021】

このような電源システムによると、シリーズレギュレータからDC-DCコンバータへの動作切替えが行われたとき、負荷とグランドを接続する第2のスイッチ素子のオン期間が徐々に増加するので、第2のスイッチ素子を介して、グランドに逆流する電流の流れを抑制する。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図1は、本発明の電源システムの原理図である。図に示すように、電源システムは、DC-DCコンバータ1、シリーズレギュレータ2から構成されている。DC-DCコンバータ1は、制御回路1a、スイッチ素子SW1、SW2、インダクタL1から構成されている。なお、図1には、制御回路1aから出力されるスイッチ信号s1、s2の電圧波形A1、A2が示してある。

【0023】

DC-DCコンバータ1とシリーズレギュレータ2は、並列接続されている。DC-DCコンバータ1とシリーズレギュレータ2の出力には、コンデンサC1が接続され、負荷3が接続されている。

【0024】

DC-DCコンバータ1は、第1の選択信号EN1が入力されたとき、入力電圧 V_{in} を降圧して負荷3に出力する。シリーズレギュレータ2は、第2の選択信号EN2が入力されたとき、入力電圧 V_{in} を降圧して負荷3に出力する。

【 0 0 2 5 】

第 1 の選択信号 $EN1$ 、第 2 の選択信号 $EN2$ は、負荷 3 の軽重に応じて、DC-DC コンバータ 1、シリースレギュレータ 2 に出力される。負荷 3 が軽負荷の場合、第 2 の選択信号 $EN2$ が出力される。負荷 3 が重負荷で、DC-DC コンバータ 1 の電力効率が、シリースレギュレータ 2 の電力効率を上回るとき、第 1 の選択信号 $EN1$ が DC-DC コンバータ 1 に出力される。従い、二つの選択信号 $EN1$ 、 $EN2$ が重複して出力されることはない。

【 0 0 2 6 】

制御回路 1 a は、第 1 の選択信号 $EN1$ が入力されると、スイッチ素子 $SW1$ 、 $SW2$ を交互にオン・オフするスイッチ信号 $s1$ 、 $s2$ を出力する。さらに、制御回路 1 a は、スイッチ素子 $SW2$ のオン期間が徐々に増加するようにスイッチ信号 $s2$ を出力する。

【 0 0 2 7 】

例えば、時間 $t1$ において、第 1 の選択信号 $EN1$ が DC-DC コンバータ 1 に入力されたとする。制御回路 1 a は、電圧波形 $A1$ 、 $A2$ に示すように、スイッチ素子 $SW1$ 、 $SW2$ を交互にオン・オフするスイッチ信号 $s1$ 、 $s2$ を出力する。さらに、電圧波形 $A2$ に示すように、制御回路 1 a は、スイッチ信号 $s2$ を、スイッチ素子 $SW2$ のオン期間が徐々に増加するように出力する。

【 0 0 2 8 】

スイッチ素子 $SW1$ は、制御回路 1 a から出力されるスイッチ信号 $s1$ によって、入力電圧 V_{in} の負荷 3 への接続をオン・オフする。スイッチ素子 $SW2$ は、制御回路 1 a から出力されるスイッチ信号 $s2$ によって、負荷 3 とグラウンドの接続をオン・オフする。

【 0 0 2 9 】

インダクタ $L1$ は、スイッチ素子 $SW1$ のオン・オフによって断続的になった入力電圧 V_{in} を平滑化する。コンデンサ $C1$ は、DC-DC コンバータ 1 から出力される電圧 V_{out} を平滑化する。

【 0 0 3 0 】

以下、電源システムの動作について説明する。

負荷 3 が軽負荷から、重負荷に変わるとする。DC-DCコンバータ 1 に第 1 の選択信号 EN 1 が入力され、シリーズレギュレータ 2 から DC-DCコンバータ 1 に動作が切替わる。

【0031】

制御回路 1 a は、電圧波形 A 1, A 2 に示すように、スイッチ素子 SW 1, SW 2 を交互にオン・オフするようにスイッチ信号 s 1, s 2 を出力する。さらに、制御回路 1 a は、電圧波形 A 2 に示すように、スイッチ素子 SW 2 のオン期間が徐々に増加するようにスイッチ信号 s 2 を出力する。

【0032】

すなわち、シリーズレギュレータ 2 から DC-DCコンバータ 1 の動作切替えが行われたとき、負荷 3 のグランドへの接続時間は、徐々に増加していく。従って、コンデンサ C 1 からインダクタ L 1、スイッチ素子 SW 2 を介した電流（コンデンサ C 1 の電荷による）の逆流が抑制され、負荷 3 に供給される出力電圧 V_{out} の低下を抑えることができる。

【0033】

次に、本発明の実施の形態について詳細に説明する。

図 2 は、本発明の実施の形態に係る電源システムの回路図である。

図に示すように、電源システムは、DC-DCコンバータ 10、シリーズレギュレータ 20 から構成されている。DC-DCコンバータ 10 とシリーズレギュレータ 20 は、並列に接続され、出力段にはコンデンサ C 2、負荷 30 が接続されている。

【0034】

DC-DCコンバータ 10 は、イネーブル信号 EN 1 が入力されると、入力電圧 V_{in} を降圧し、負荷 30 に出力電圧 V_{out} を出力する。シリーズレギュレータ 20 は、イネーブル信号 EN 2 が入力されると、入力電圧 V_{in} を降圧して、負荷 30 に出力電圧 V_{out} を出力する。

【0035】

イネーブル信号 EN 1, EN 2 は、負荷 30 の軽重に応じて、DC-DCコンバータ 10、シリーズレギュレータ 20 に出力される。負荷 30 が軽負荷の場合

、軽負荷の電力効率のよいシリーズレギュレータ 2 0 を動作させるため、イネーブル信号 E N 2 が出力される。負荷 3 0 が軽負荷から重負荷となる場合、重負荷の電力効率のよい D C - D C コンバータ 1 0 を動作させるため、イネーブル信号 E N 1 が出力される。

【 0 0 3 6 】

D C - D C コンバータ 1 0 は、同期整流方式によって、電圧を降圧する D C - D C コンバータである。D C - D C コンバータ 1 0 は、P W M 制御回路 1 1、ドライバ Z 1、Z 2、トランジスタ Q 1、Q 2、ダイオード D 1、D 2、及びインダクタ L 2 から構成されている。

【 0 0 3 7 】

P W M 制御回路 1 1 は、イネーブル信号 E N 1 が入力されると、トランジスタ Q 1、Q 2 をオン・オフするためのスイッチ信号 O U T 1、O U T 2 を出力する。P W M 制御回路 1 1 は、一端がトランジスタ Q 1 とトランジスタ Q 2 の接続点に接続されたインダクタ L 2 の他端の電圧がフィードバックされ、この電圧に応じて、パルス幅を変調したスイッチ信号 O U T 1、O U T 2 を出力する。

【 0 0 3 8 】

P W M 制御回路 1 1 は、ステップ信号 S R が入力される。P W M 制御回路 1 1 は、ステップ信号 S R のパルス幅に応じて、スイッチ信号 O U T 2 を出力する。

図 3 は、P W M 制御回路に入力されるステップ信号、イネーブル信号、及び P W M 制御回路から出力されるスイッチ信号の関係を説明するためのタイミングチャートを示す図である。S R 等の信号に関する実際の動作シーケンスについては後述する。図 3 に示すように、P W M 制御回路 1 1 は、イネーブル信号 E N 1 が入力されて（‘H’ 状態になって）、トランジスタ Q 1 をオン・オフするためのスイッチ信号 O U T 1 を出力する。P W M 制御回路 1 1 は、イネーブル信号 E N 1 が入力され、さらにステップ信号 S R が入力されて（‘H’ 状態になって）、トランジスタ Q 2 をオン・オフするためのスイッチ信号 O U T 2 を出力する。

【 0 0 3 9 】

すなわち、P W M 制御回路 1 1 は、イネーブル信号 E N 1 が入力されて、スイッチ信号 O U T 1 を出力し、さらに、ステップ信号 S R が入力されて、スイッチ

信号OUT 2 を出力する。

【0 0 4 0】

なお、PWM制御回路11は、トランジスタQ1、Q2を交互にオンするように、スイッチ信号OUT 1、OUT 2を出力する。また、PWM制御回路11は、トランジスタQ1、Q2のソースドレイン間が同時にオンすることを防止するため、スイッチ信号OUT 1、OUT 2の‘H’状態に重なり期間が生じないようにデッドタイム t_d を挿入して出力する。

【0 0 4 1】

また、PWM制御回路11は、入力されるステップ信号SRの入力期間（‘H’状態）に応じて、スイッチ信号OUT 2を出力する。ステップ信号SRは、トランジスタQ2のオン期間が徐々に増加するように、パルス幅が、一定周期ごとに所定の幅ずつ増加する。

【0 0 4 2】

図4は、PWM制御回路に入力されるステップ信号のタイミングチャートを示す図である。

図に示すように、スイッチング周期Tのn周期を1つのブロックとして区切る。i番目のブロックにおけるステップ信号SRのパルス幅を TSR_i とする。

【0 0 4 3】

時間 t_1 において、シリーズレギュレータ20からDC-DCコンバータ10に動作切替えが行われたとき、0番目のブロックでは、ステップ信号SRは、‘L’状態とする。以降のブロックでは、 $TSR_{i+1} > TSR_i$ が成り立つように、徐々に、ステップ信号SRのパルス幅を増加する。

【0 0 4 4】

すなわち、PWM制御回路11には、図4に示すように、パルス幅が一定周期ごとに所定の幅ずつ増加するステップ信号SRが入力される。PWM制御回路11は、このステップ信号SRに応じて、トランジスタQ2のオン期間が徐々に増加するスイッチ信号OUT 2を出力する。

【0 0 4 5】

ドライバZ1、Z2は、PWM制御回路11から出力されるスイッチ信号OU

T 1, O U T 2 がトランジスタ Q 1, Q 2 を駆動できるようにドライブし、トランジスタ Q 1, Q 2 に出力する。

【 0 0 4 6 】

トランジスタ Q 1 は、Nチャネル MOS トランジスタである。トランジスタ Q 1 は、ゲートに 'H' 状態のスイッチ信号 O U T 1 が入力されると、ソースードレイン間をオンし、入力電圧 V_{in} をインダクタ L 2 に出力する。トランジスタ Q 1 のソースードレイン間には、ダイオード D 1 が接続されている。

【 0 0 4 7 】

トランジスタ Q 2 は、Nチャネル MOS トランジスタである。トランジスタ Q 2 は、ゲートに 'H' 状態のスイッチ信号 O U T 2 が入力されると、ソースードレイン間をオンし、インダクタ L 2 をグランドに接続する。トランジスタ Q 2 のソースードレイン間には、ダイオード D 2 が接続されている。

【 0 0 4 8 】

インダクタ L 2 は、トランジスタ Q 1 のソース及びトランジスタ Q 2 のドレインと接続され、さらにコンデンサ C 2、負荷 3 0 に接続されている。

次に、タイミングチャートを用いて、図 2 の電源システムの動作について説明する。

【 0 0 4 9 】

図 5 は、電源システムから出力される出力電圧、及び電源システムに入力されるイネーブル信号、ステップ信号のタイミングチャートを示す図である。

負荷 3 0 が軽負荷であるとする。このとき、図 5 に示すように、イネーブル信号 E N 1 は、DC-DC コンバータ 1 0 に入力されず（'L' 状態）、DC-DC コンバータ 1 0 は、動作しない。イネーブル信号 E N 2 は、シリーズレギュレータ 2 0 に入力され（'H' 状態）、シリーズレギュレータ 2 0 は動作している。シリーズレギュレータ 2 0 は、入力電圧 V_{in} を降圧して、負荷 3 0 に出力電圧 V_{out} 供給する。

【 0 0 5 0 】

負荷 3 0 が軽負荷から重負荷になるとき、イネーブル信号 E N 1 は、'H' 状態となり、イネーブル信号 E N 2 は、'L' 状態となる。これにより、シリーズ

レギュレータ 2 0 は、動作しなくなる。

【 0 0 5 1 】

DC-DCコンバータ 1 0 の PWM 制御回路 1 1 は、イネーブル信号 $EN1$ が入力されると、トランジスタ $Q1$ をオン・オフするためのスイッチ信号 $OUT1$ を出力する。また、PWM 制御回路 1 1 は、‘H’ 状態の期間が徐々に増加するステップ信号 SR が入力され、このステップ信号 SR に基づいて、トランジスタ $Q2$ のオン期間が徐々に増加するスイッチ信号 $OUT2$ を出力する。

【 0 0 5 2 】

これにより、シリーズレギュレータ 2 0 から DC-DC コンバータ 1 0 への動作切替えが行われたとき、負荷 3 0 のグラウンドへの接続時間は、徐々に増加していく。よって、動作切替え時におけるコンデンサ $C2$ からインダクタ $L2$ 、トランジスタ $Q2$ を介した電流の逆流が抑制され、図 5 に示すように、負荷 3 0 へ供給される出力電圧 V_{out} の低下を抑制することができる。

【 0 0 5 3 】

また、電子機器において、待機時にシリーズレギュレータ、通常動作時に DC-DC コンバータを使用する場合に、動作切替え時の電圧低下によって生じる誤リセットなどを防止することができる。

【 0 0 5 4 】

なお、上記のトランジスタ $Q1$ 、 $Q2$ は、共に N チャネル MOS トランジスタとしたが、負荷に供給される入力電圧 V_{in} と、負荷 3 0 のグラウンドへの接続とが交互に繰り返されればよく、共に P チャネル MOS トランジスタ、又は P チャネル MOS トランジスタ、N チャネル MOS トランジスタであってもよい。

【 0 0 5 5 】

次に、DC-DC コンバータ 1 0 のオン時比率から、電源システムの動作について説明する。

シリーズレギュレータ 2 0 から DC-DC コンバータ 1 0 へ動作切替えが行われたとする。負荷 3 0 が重負荷（出力電圧 V_{out} が低下しない範囲で大きな出力電流を要する負荷量）の場合においては、DC-DC コンバータ 1 0 のトランジスタ $Q2$ がオフ状態にあるとき、インダクタ $L2$ には、電流が連続して流れ、

DC-DCコンバータ10は、電流連続モードとなる。この場合のDC-DCコンバータのオン時比率は、式(1)と同様に、次式で表される。

【0056】

【数2】

$$D = V_{in} / V_{out} \quad \dots\dots (2)$$

一方、負荷30が軽負荷であり、シリーズレギュレータ20からDC-DCコンバータ10へ動作切替えが行われたとする。この場合においては、DC-DCコンバータ10のトランジスタQ2がオフ状態にあるとき、インダクタL2には、電流が断続して流れ、DC-DCコンバータ10は、電流断続モードとなる。この場合のDC-DCコンバータのオン時比率は、次式で表される。

【0057】

【数3】

$$D = \sqrt{\frac{2fLV_{out}I_{out}}{V_{in}(V_{in}-V_{out})}} \quad \dots\dots (3)$$

$$f = \frac{1}{T_{on} + T_{off}} : \text{トランジスタQ1のスイッチング周波数}$$

【0058】

ここで、式(3)の導出について説明する。電流断続モードにおいて、トランジスタQ1がオンした場合、電源システムの入力から出力へ供給される電力 P_{on} は、電源システムに流れ込む電流が、 $(V_{in} - V_{out})t/L$ となるので(t :時間、 L :インダクタL2のインダクタンス)、次式で表される。

【0059】

【数4】

$$P_{on} = \frac{V_{in}(V_{in}-V_{out})t}{L} \quad \dots\dots (4)$$

【0060】

式(4)を0～ T_{on} まで積分し、1周期で平均化すると、電力 P_{av} は、次式で表される。

【0061】

【数5】

$$P_{av} = \frac{1}{T_{on} + T_{off}} \int_0^{T_{on}} \frac{V_{in}(V_{in} - V_{out})}{L} t \, dt$$

$$= \frac{V_{in}(V_{in} - V_{out}) T_{on}^2}{2L(T_{on} + T_{off})} \dots\dots (5)$$

T_{on} : トランジスタQ1のオン期間

T_{off} : トランジスタQ1のオフ期間

【0062】

式(5)の電力 P_{av} は、電源システムの出電力 P_o と等しい。電源システムの出電力を I_{out} 、出力電圧を V_{out} とすると、出電力 P_o は、次式で表される。

【0063】

【数6】

$$P_o = I_o \cdot V_o \dots\dots (6)$$

式(5)と式(6)は等しいので、次式(7a)、(7b)から式(3)が導出される。

【0064】

【数 7】

$$\frac{V_{in}(V_{in}-V_{out})T_{on}^2}{2L(T_{on}+T_{off})} = I_{out} \cdot V_{out} \quad \dots\dots (7a)$$

$$D^2 = \left(\frac{T_{on}}{T_{on}+T_{off}} \right)^2 = \frac{1}{T_{on}+T_{off}} \cdot \frac{2LV_{out}I_{out}}{V_{in}(V_{in}-V_{out})}$$

$$= f \cdot \frac{2LV_{out}I_{out}}{V_{in}(V_{in}-V_{out})} \quad \dots\dots (7b)$$

【0 0 6 5】

このため、トランジスタ Q 2 をオフからオンへ、徐々にオン期間を増加させることなく切替えた場合、電流連続モードにおいては、オン時比率は変化せず、出力電圧 V_{out} は変動しない。電流断続モードにおいては、式 (3) で表されるオン時比率から、式 (2) で表されるオン時比率に遷移する際、PWM 制御回路 11 の制御の遅れにより、トランジスタ Q 2 のオン時間が過大となる期間が発生し、出力電圧 V_{out} は、大きく低下することとなる。しかし、ステップ信号 S R によって、トランジスタ Q 2 のオン期間を徐々に大きくすることにより、出力電圧 V_{out} の低下を抑制することができる。

【0 0 6 6】

【発明の効果】

以上説明したように本発明では、負荷をグランドに接続する第 2 のスイッチ素子のオン期間を徐々に増加するようによようにしたので、シリーズレギュレータから DC-DC コンバータに動作切替えが行われたとき、第 2 のスイッチ素子を介してグランドに逆流する電流の流れを抑制することができ、動作切替えによる出力電圧の低下を抑制することができる。

【図面の簡単な説明】

【図 1】

本発明の電源システムの原理図である。

【図 2】

本発明の実施の形態に係る電源システムの回路図である。

【図 3】

PWM制御回路に入力されるステップ信号、イネーブル信号、及びPWM制御回路から出力されるスイッチ信号の関係を説明するためのタイミングチャートを示す図である。

【図 4】

PWM制御回路に入力されるステップ信号のタイミングチャートを示す図である。

【図 5】

電源システムから出力される出力電圧、及び電源システムに入力されるイネーブル信号、ステップ信号のタイミングチャートを示す図である。

【図 6】

従来の電源システムの回路図である。

【図 7】

PWM制御回路に入力されるイネーブル信号、及びPWM制御回路から出力される出力信号を示したタイミングチャートである。

【図 8】

PWM制御回路から出力される出力電圧、及びPWM制御回路に入力されるイネーブル信号を示したタイミングチャートである。

【符号の説明】

1, 10 DC-DCコンバータ

1a 制御回路

11 PWM制御回路

2, 20 シリーズレギュレータ

3, 30 負荷

SW1, SW2 スイッチ素子

Q1, Q2 トランジスタ

L1, L2 インダクタ

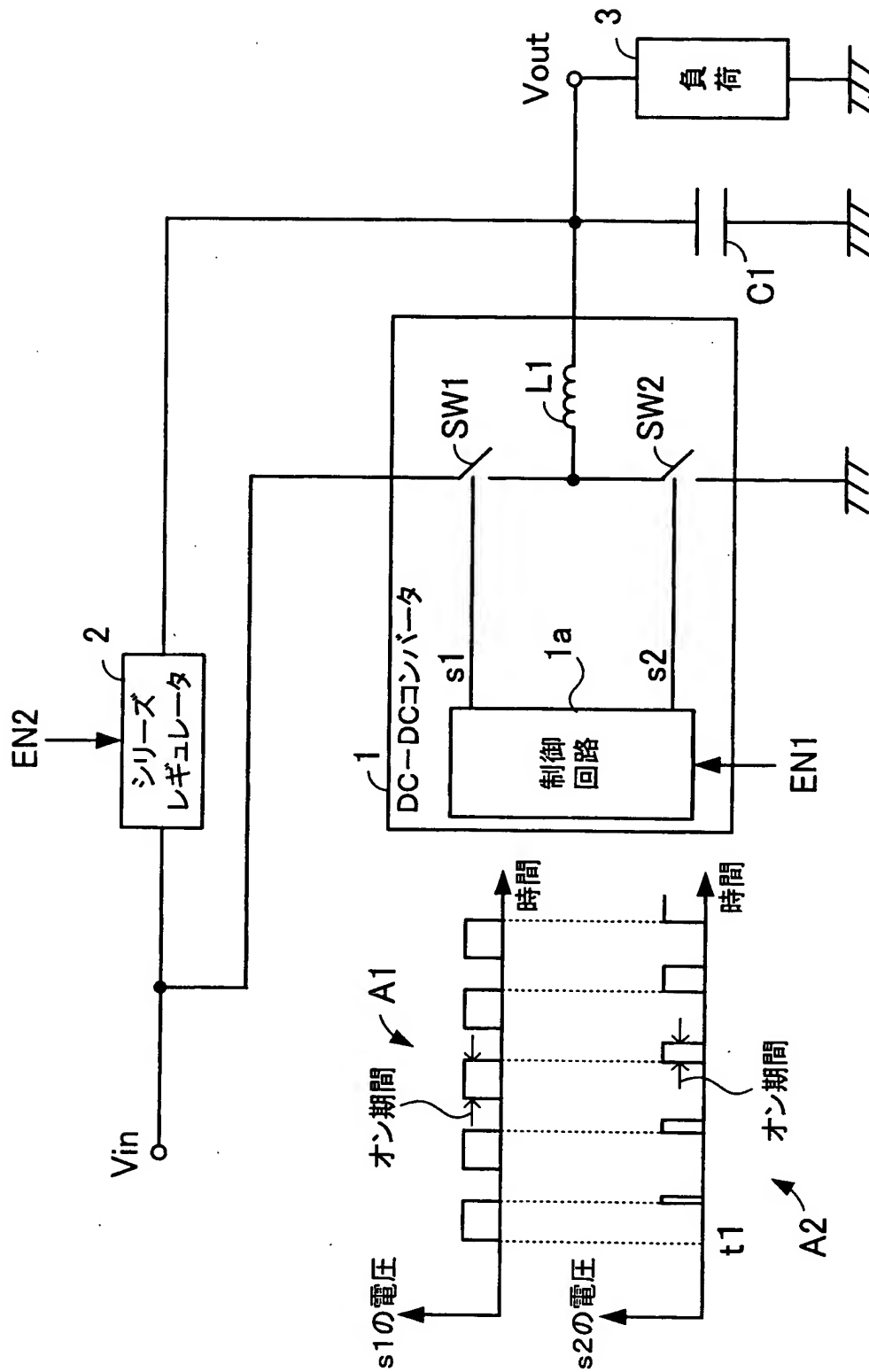
C 1 , C 2 コンデンサ

Z 1 , Z 2 ドライバ

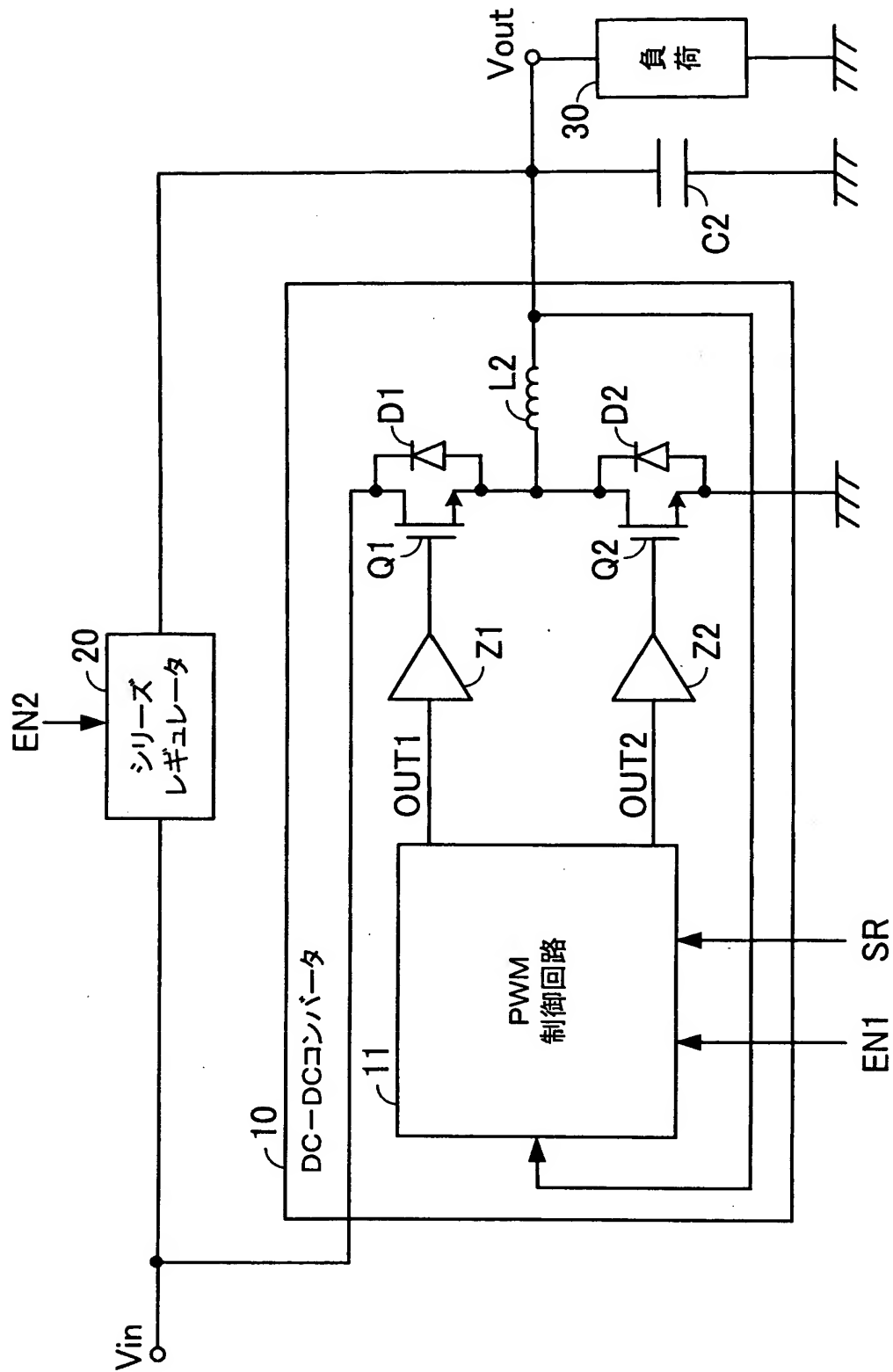
【書類名】

図面

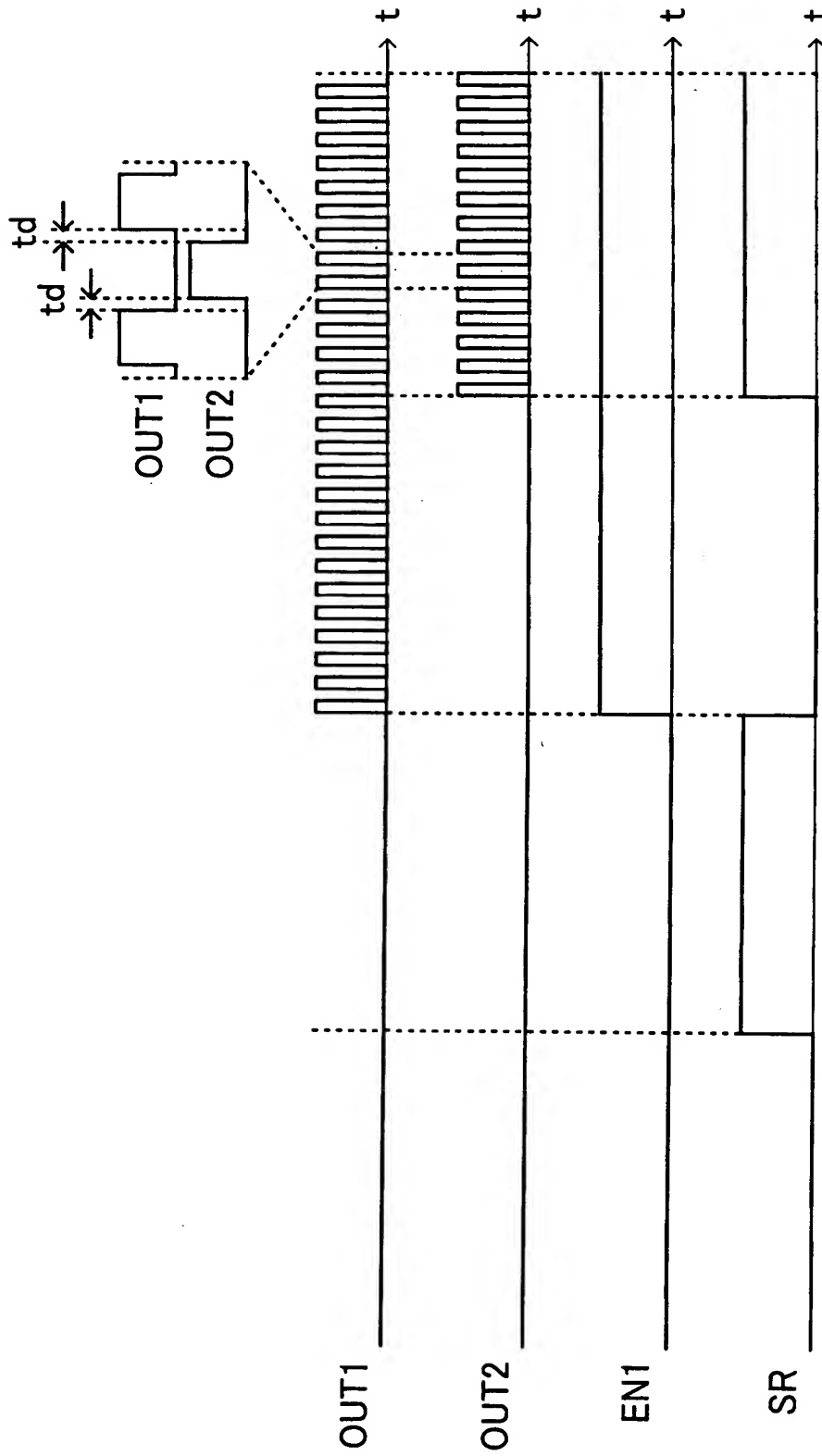
【図 1】



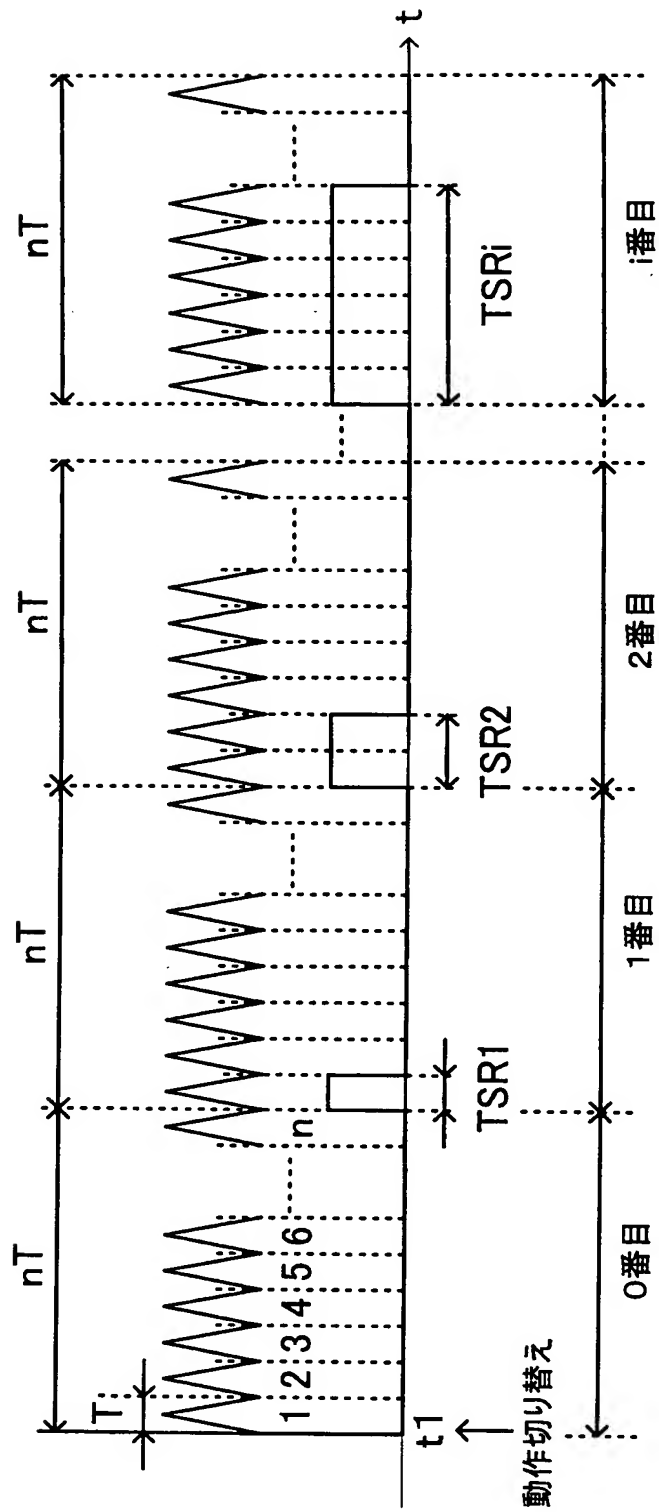
【図 2】



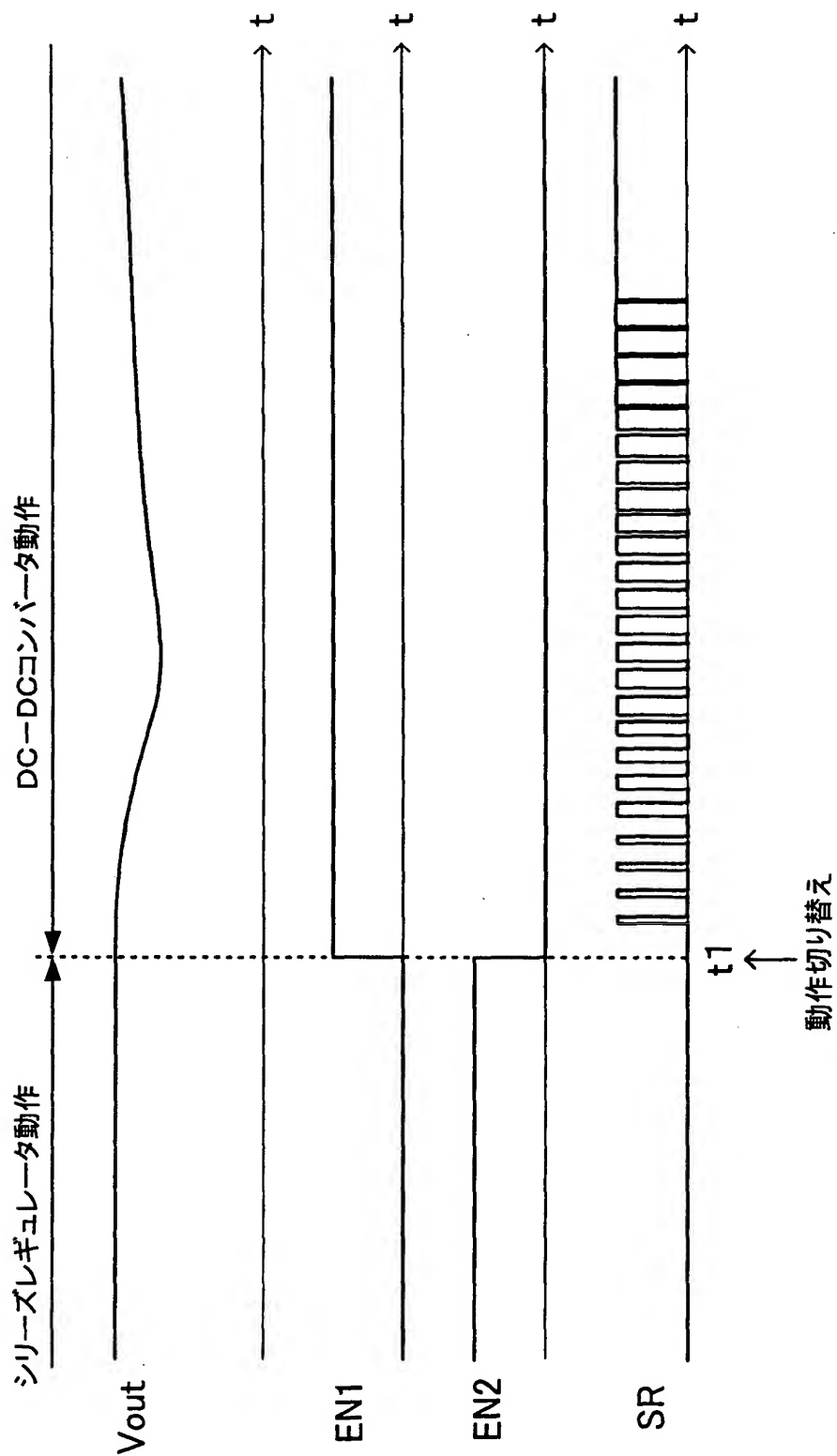
【図 3】



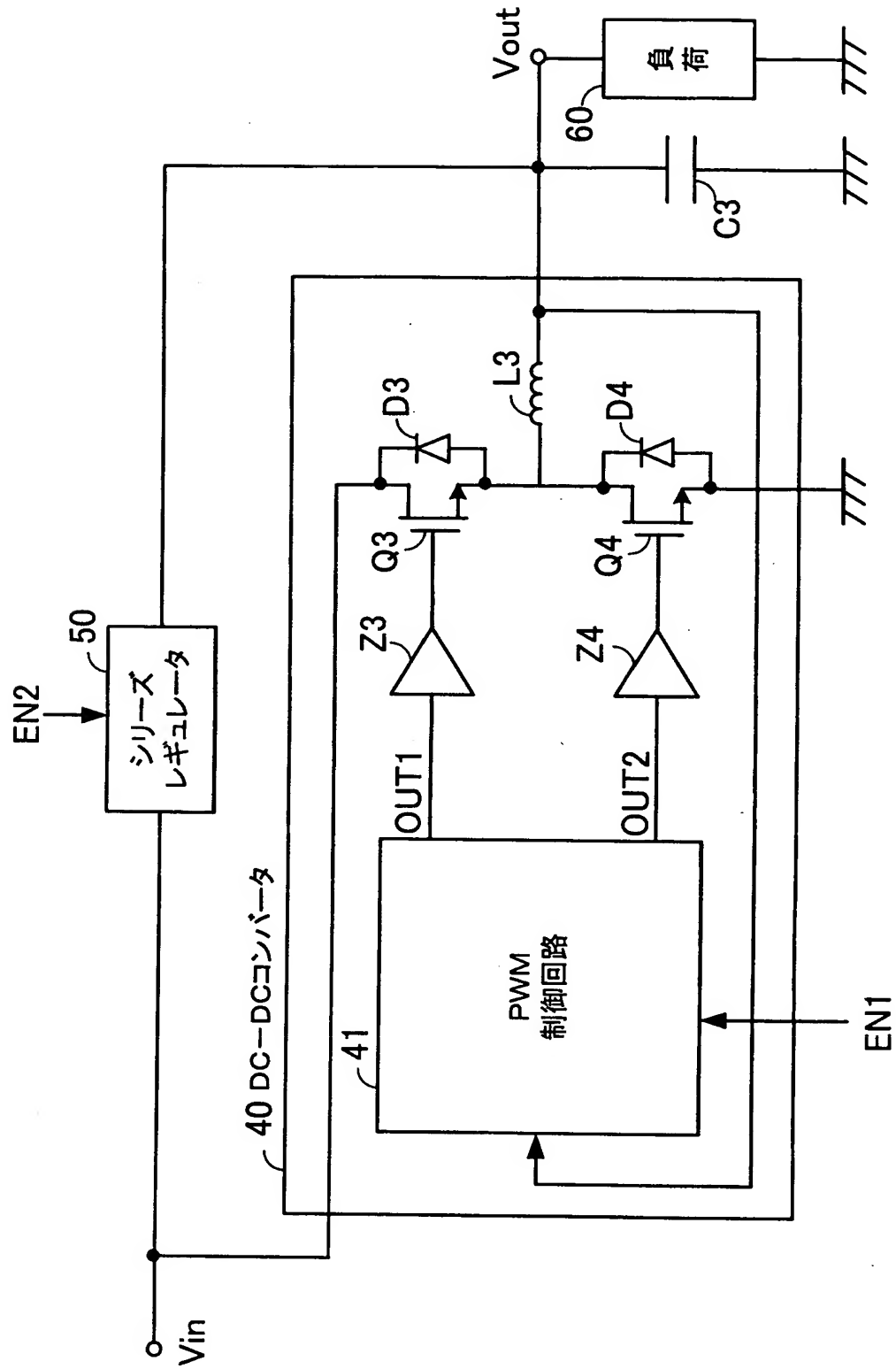
【図4】



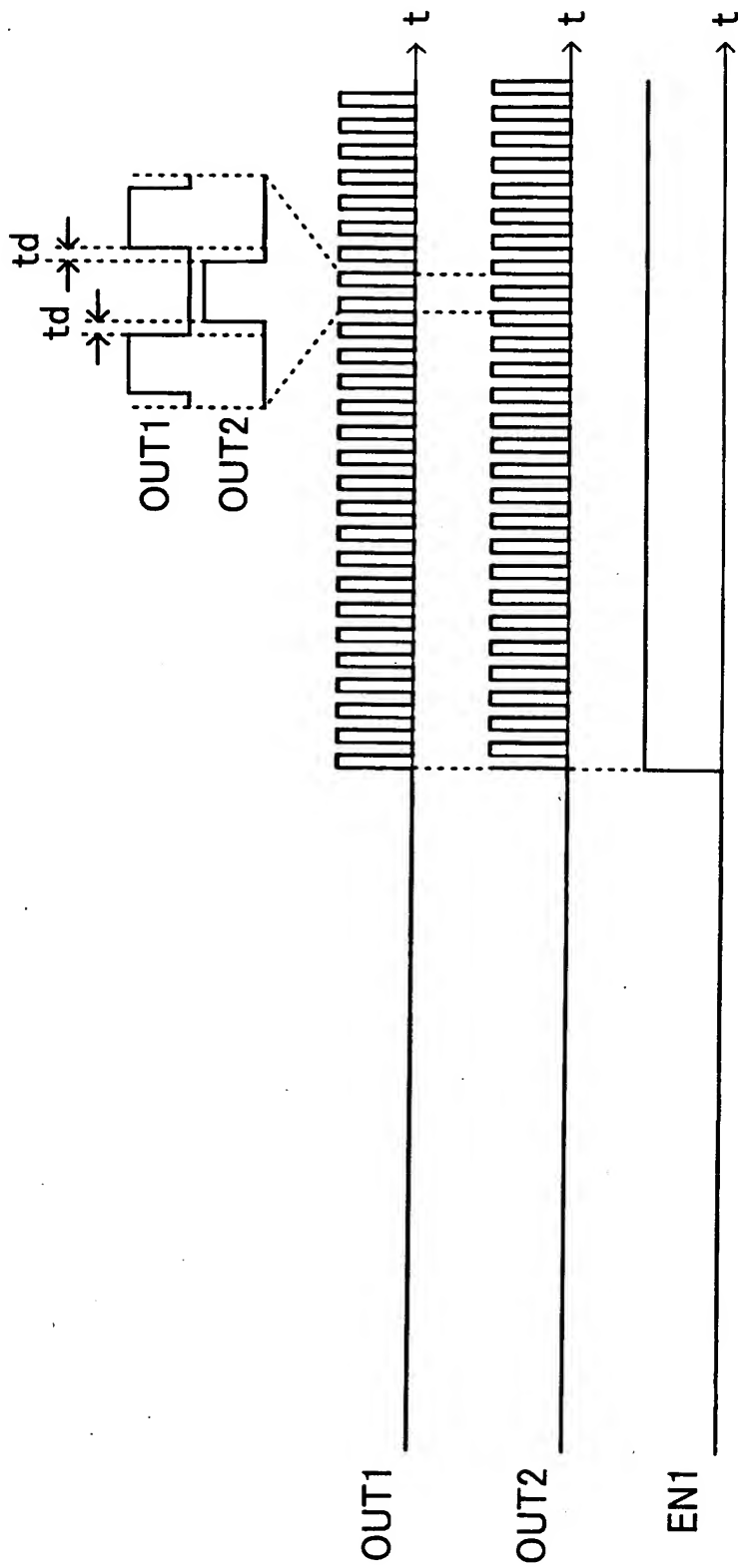
【図5】



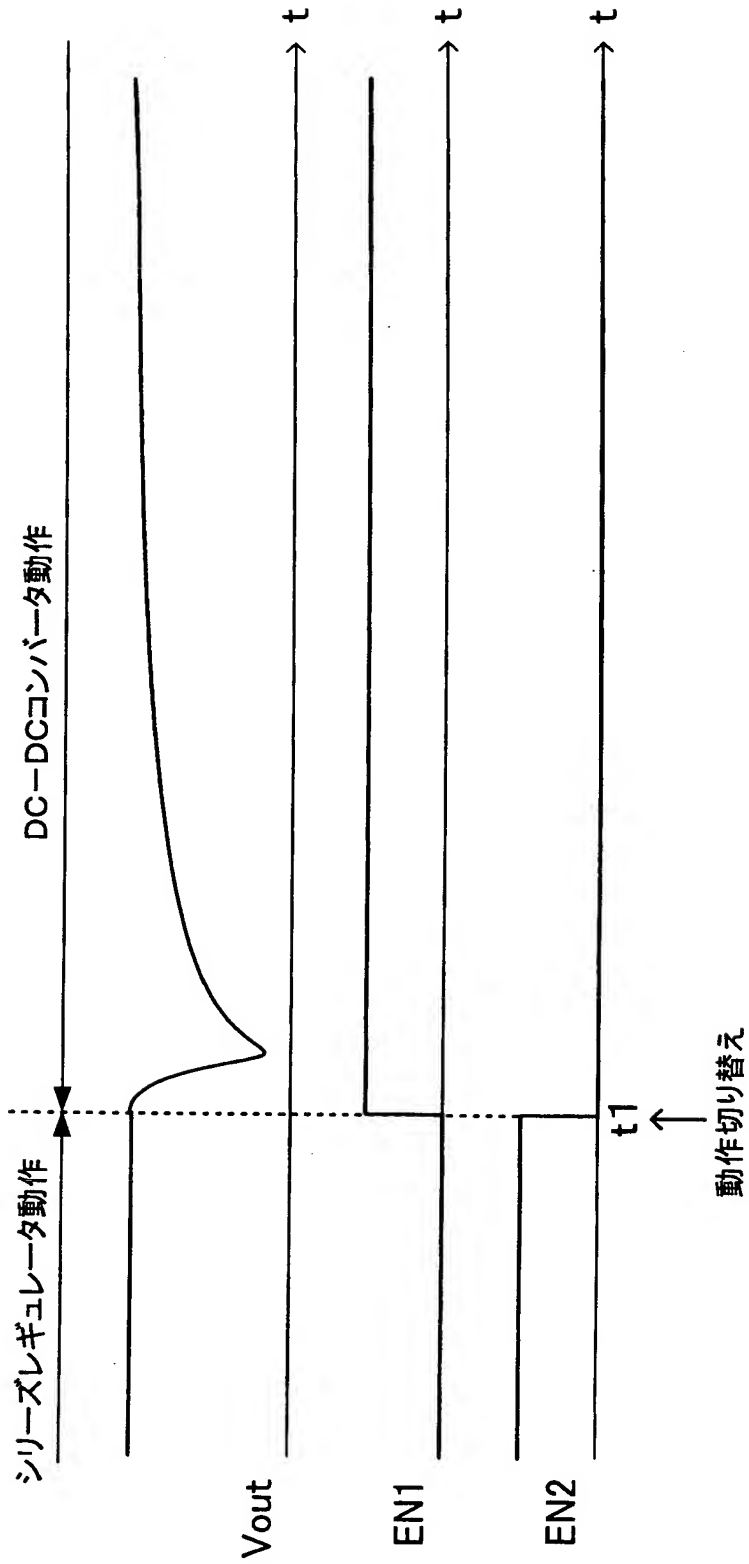
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 シリーズレギュレータからDC-DCコンバータへの動作切替え時における出力電圧の低下を抑制する。

【解決手段】 DC-DCコンバータ1とシリーズレギュレータ2は、並列に接続され、負荷3の軽重によって動作が切替えられる。DC-DCコンバータ1の第1のスイッチ素子SW1は、入力電圧 V_{in} を負荷3に接続する。第2のスイッチ素子SW2は、負荷3をグランドに接続する。制御回路1aは、第1の選択信号が入力されると、第2のスイッチ素子SW2のオン期間が徐々に増加するように、第1のスイッチ素子SW1及び第2のスイッチ素子SW2を交互にオン・オフする。これにより、動作切替えが行われたとき、第2のスイッチ素子SW2を介して、グランドに逆流する電流の流れを抑制することができ、動作切替えによる出力電圧の低下を抑制することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 3 4]

1. 変更年月日	1 9 9 0 年 9 月 5 日
[変更理由]	新規登録
住 所	神奈川県川崎市川崎区田辺新田 1 番 1 号
氏 名	富士電機株式会社